

文章编号:1007-2780(2009)02-0248-05

一种高精度任意波形发生器的设计

王旭智^{1,2}, 张敬林¹, 万旺根¹

(1. 上海大学 通信与信息工程学院, 上海 200072, E-mail: wangxzw@shu.edu.cn;
2. 上海大学 特种光纤与光接入网省部共建教育部重点实验室, 上海 200072)

摘 要: 在光纤通信领域中,有时需要使用一些不规则的波形作为同步信号。为此设计了一种基于多脉冲合成的高精度任意波形发生器,详细地阐述了系统的设计原理,并给出了具体的硬件结构框图。整个电路工作在 1G 时钟下,利用 AD9735 进行数模转换,将上位机发送的设置数据变为 16 个宽度为 0.5 ns、幅度不同的窄脉冲,从而组成实际工作情况所需的任意波形。通过实践验证,这种设计方法具有较强的灵活性和实用性。

关 键 词: AD9735;任意波形发生器;高精度;多脉冲合成;电平转换
中图分类号: TP391.43 **文献标识码:** A

1 引 言

随着激光技术的发展,激光脉冲的宽度变得越来越窄。利用纳秒级脉冲作为光通信的高速同步信号,可以将现有的通信速度提高几百倍,将在高速通信领域发挥重要的作用。一般情况下,脉冲信号常使用正弦波、方波和三角波等几种固定形状的波形,但有时也会使用一些不规则的波形信号。理论上而言,任意波形发生器(Arbitrary Waveform Generator, AWG)^[1,2]能够产生各种理想及非理想的波形信号,具有先导性、易用性和灵活性的特点,广泛应用于通信、控制、测量测试等现代电子学的各个领域。在现代战争中,由于 AWG 能在一个很宽的频率范围内快速地提供高精度、高稳定性的频率信号,在雷达、武器制导、电子对抗和宇航等方面也有重要应用。因此,高精度、高分辨率、高速的任意波形发生器的研制具有重要的现实意义。

任意波形发生器的工作原理主要有两种^[3-5]。其一是传统的 AWG 采用锁相频率合成技术,通过波形数据存储和波形复现的方式来实现,可以分段工作且频率可变,便于产生复杂的波形,缺点是无相位调制、频率转换速度慢。其二是基于直接数字频率合成技术(Direct Digital Frequency

Synthesis, DDS 或 DDFS)的 AWG,是从相位概念出发将一系列数字信号通过 D/A 转换成模拟信号的合成技术。工作时,首先对需要产生的波形进行采样,将采样值数字化后存入存储器作为查找表,再通过查表将数据读出,经过 D/A 转换成模拟量,最后将存入的数据重新合成输出。其优点在于体积小、高分辨率和快速的输出转换能力。缺点是在高频状态下会发生波形衰减,一般不适用于来产生高速的任意波形。

2 硬件系统设计

在设计中,采取类似于 DDS 的设计方法,利用上位机发送波形的设置数据,经过 CPU 处理后传递给 D/A 进行数模转换,得到不同幅度的多脉冲波形,对其整合、放大,最后输出所需的 8 ns 宽度的任意波形。该方案的优势在于可以产生高精度、高频的模拟波形信号,并能通过幅度控制来实时调节信号形状。整个硬件系统的总体结构框图如图 1 所示,主要包括 CPU 控制电路、串行移位 FIFO 电路、DA 转换电路以及波形处理电路。

其中,CPU 负责控制整个电路工作时钟的分频、波形幅度的数据设置、触发信号及计数时钟的互换等,主要监测输入的触发信号,并通过串口通讯接收及处理上位机发送的控制数据;为了满足

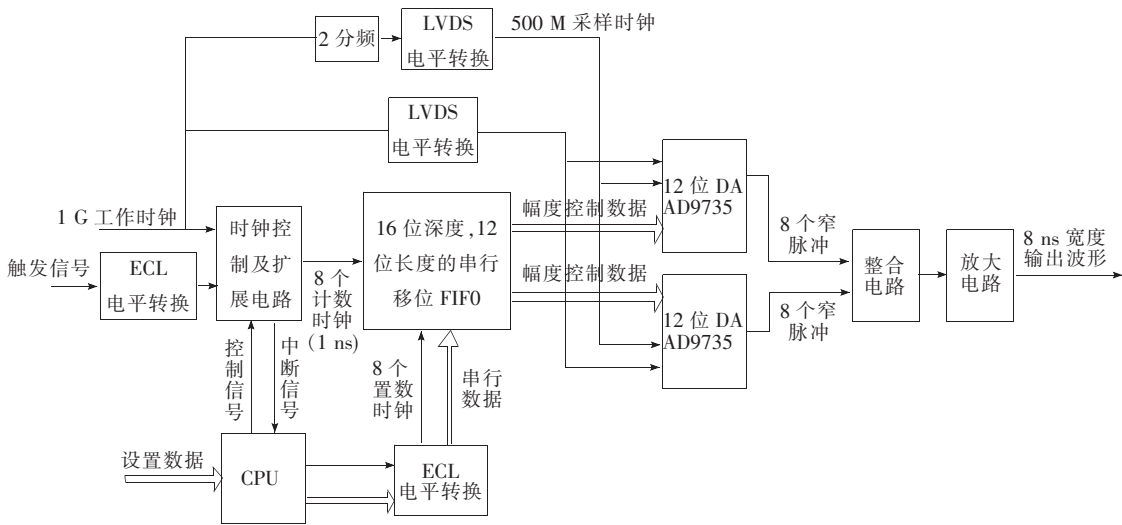


图 1 任意波形发生器的硬件结构框图

Fig. 1 Hardware structure frame diagram of arbitrary waveform generator

系统的应用需求,利用 MC10EP142 组成 16 位深度、12 位长度的串行移位 FIFO 电路,在一次周期内,将所得数据依次发送给 DA;同时,利用两片 AD9735 来产生 0.5 ns 宽度的高精度的窄脉冲波形;最后,利用两片混频器 AD8343 将两路 DA 的输出进行波形整合,再经过滤波后,输出一个 8 ns 宽度的任意波形。

2.1 电平转换

在硬件系统的设计中,各种电平之间的相互转换极为重要。目前,TTL 和 CMOS 电平的应用非常广泛。但是,为了满足系统设计的要求,整个电路工作在 1G 时钟,为了适应数据传输的高速性,采用了差分信号的形式,利用 ECL 和 LVDS 电平标准来传递工作时钟和设置数据,以确保传输的可靠性。这时,噪声以共模方式在一对差分线上耦合出现,两条信号线周围的电磁场相互抵消,并在接收器中相减来消除噪声,从而提高了系统的抗电磁干扰能力。可知,各种不同电平之间是不能直接驱动的,必须利用交流耦合、电阻网络或者专用芯片进行电平转换。因此,上述 3 种电平在互连时,首先要考虑的是它们的电平大小和摆幅范围,以使得上一级的输出电平经过转换后必须落在下一级的输入电平的有效区域内,才能驱动电路正常工作。

2.1.1 TTL 电平

TTL(Transistor-Transistor Logic)电平对

于 PC 机控制的设备的数据传输是很理想的,因为 PC 机的通信数据标准采用二进制规定,即输出高电平等价于逻辑“1”,输出低电平等价于逻辑“0”,逻辑摆幅约为 2 V。为了降低功耗,采用 3.3 V 作为设计电路的工作电压。

2.1.2 ECL 电平^[6]

ECL(Emitter Couple Logic)电平的逻辑摆幅较小,仅约为 0.8 V。而且,ECL 电路的最大优点是高速,其平均延迟时间可达几 ns 甚至更少。同时,还具有互补的输出,这意味着可以获得两种逻辑电平输出,能大大地简化逻辑系统的设计。通常情况下,其工作电压采用正、负电源。为了简化电源,这里仅采用正电源,即将 V_{CC} 接到 +3.3 V,而 V_{EE} 接地,也称为 LVPECL(Low Voltage Positive ECL),各电平状态为: $V_{OH}=2.42\text{ V}$, $V_{OL}=1.58\text{ V}$, $V_{IH}=2.06\text{ V}$; $V_{IL}=1.94\text{ V}$ 。这里,利用芯片 MC100EPT22 和 NB100ELT23 完成 TTL 电平和 LVPECL 电平之间的转换。

2.1.3 LVDS 电平^[6]

LVDS(Low Voltage Differential Signal)接口是 20 世纪 90 年代才出现的一种数据传输和接口技术,由于它采用 1.2 V 偏置电压作为基准,提供大约 400 mV 的低电压摆幅。同时,还具有高速、高抗噪、低电压摆幅、低功耗等特性,使其更适合于传输高速的变化信号。一般来说,LVDS 的各电平状态为: $V_{IH}=1.55\text{ V}$, $V_{IL}=0.85\text{ V}$,

$V_{OH}=1.45\text{ V}$, $V_{OL}=1.05\text{ V}$ 。这里,利用芯片 NB4N527S 将 LVPECL 电平转换为 LVDS 电平。

2.2 设计注意事项

高速数据传输对器件布局和电路布线提出了更高的要求,不能仅利用集总参数电路的理论,而应更多地利用分布参数电路的设计理念,充分地考虑信号传输的传输线效应。这里,引入了传输线特性阻抗^[7,8]的概念,利用终端电阻匹配的方法,解决了输出传输的信号完整性问题。

最典型的传输线模型^[9]是由均匀介质中放置的两根平行直导线构成,在线间会有电容和电导存在。为了防止传输线上的反射波,必须进行阻抗匹配。一般来说,采用信号源端串联匹配的方式,即在数据输出端串联一个与导线特性阻抗相近的电阻。同时,在 PCB 设计时,板上的传输线采用如图 2 所示的导线形式,其计算公式如下:

当 $\frac{\omega}{h}<1$ 时,

$$\begin{cases} Z_0 = \frac{60}{\sqrt{\epsilon_{re}}} \ln\left(\frac{8h}{\omega} + 0.25 \frac{\omega}{h}\right) \\ \epsilon_{re} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \sqrt{\left(1 + \frac{12h}{\omega}\right) + 0.041\left(1 - \frac{\omega}{h}\right)^2} \end{cases} \quad (1)$$

而当 $\frac{\omega}{h}>1$ 时,

$$\begin{cases} Z_0 = \frac{120\pi}{\sqrt{\epsilon_{re}}} \frac{1}{\left[\frac{\omega}{h} + 1.393 + 0.667\ln\left(\frac{h}{\omega} + 1.4444\right)\right]} \\ \epsilon_{re} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \sqrt{\left(1 + \frac{12h}{\omega}\right)} \end{cases} \quad (2)$$

其中, ω 是所布导线的宽度; h 是导线与地层之间的高度,可以通过询问制板厂商得知; Z_0 是导线的阻抗,应与匹配阻抗($50\ \Omega$)相等; ϵ_r 是介电常数,通常情况下, $\epsilon_r=4$,而在高频设计时, ϵ_r 由所选择的板材决定。

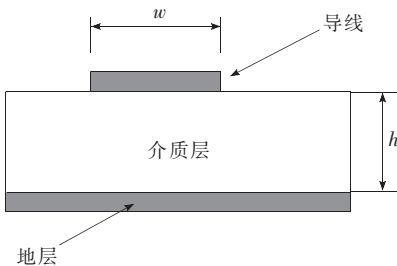


图 2 传输线的结构
Fig. 2 Structure of transmission line

同时,为了避免出现线间耦合、底线反弹等问题,还应该采取一些布线手段,如尽量合理调整不同信号线和不同回路之间的距离、改善芯片的电源退耦电路、合理分配 I/O 和输出时序、合理放置过孔、每对差分线严格等长等,保障高速芯片的正常工作,确保数据传输的可靠性。

3 软件设计

本文所介绍的任意波形发生器设计的难点在于 16 个 0.5 ns 宽度的窄脉冲的产生。软件程序主要负责时钟分配、中断触发及数据设置等,需要注意工作时序的控制,以确保串行移位 FIFO 电路的正常工作。其流程图如图 3 所示。

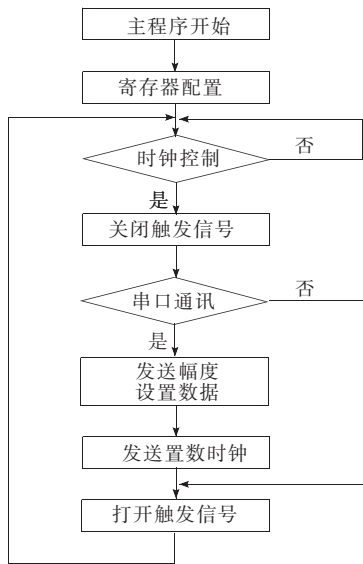


图 3 系统的软件流程图
Fig. 3 Software flow chart of system

在系统工作时,16 个脉冲幅度数据的计数时钟和置数时钟必须分开。这里,计数时钟由触发源提供,而置数时钟由 CPU 提供。当 CPU 接收到触发信号后,首先要关闭触发源,以免误发送数据;然后与 PC 机通讯,接收所需产生任意波形的幅度数据,再产生 8 个置数时钟,将数据预先存入 FIFO 中;最后才打开触发源,等待计数时钟将这些数据依次发送给 AD9735,以得到最终波形。

其中,CPU 端口发送一组幅度数据的代码如下:

```
P0=sblock[i];           //receive data
lowsecond=sblock[i+1];  //send data
lowthirdinit=sblock[i+2]&~0x0f;
```

```
highsecond=lowthirdinit<<4;
P0=highsecond | lowsecond;
p2d0=0;           //set clock
p2d1=1;
highthirdinit=sblock[i+2]&.0x0f0;
//send data
lowthird=highthirdinit>>4;
lowforthinit=sblock[i+3];
highthird=lowforthinit<<4;
P0=highthird | lowthird;
p2d1=0;           //set clock
p2d2=1;
```

4 结果与讨论

为了能够产生 0.5 ns 的窄脉冲,除了输入晶振必须为 1 GHz,触发源也应该为纳秒级的宽度。然后,通过扩展频宽和分割,即可产生 8 个计数脉冲。当然,在电路板的布局与布线方面也要充分地考虑高频特性。下面给出了实验结果图,图 4~图 6 是单板调试的结果;图 4 是将 1G 晶振的输出波形转换后的 LVPECL 电平信号,作为整个系

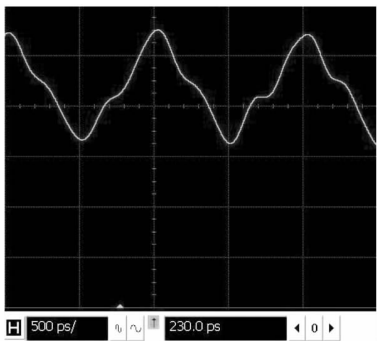


图 4 1G 时钟的差分信号图
Fig. 4 Difference signal of 1G clock

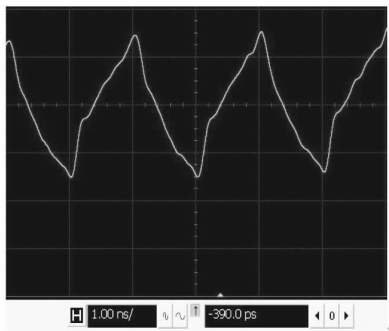


图 5 DA 的工作时钟信号
Fig. 5 Working clock of DA

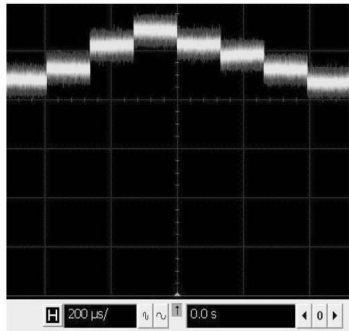


图 6 DA 的调试输出波形图
Fig. 6 Debugging output waveform of DA

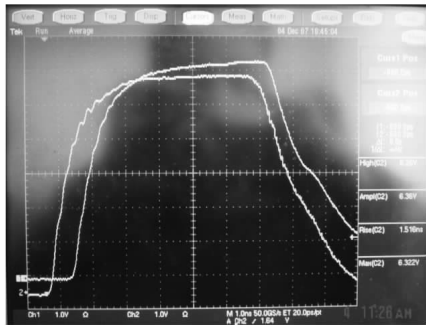


图 7 实际工作时的 DA 输出波形
Fig. 7 DA output waveform in real circumstance

统的工作时钟;图 6 是在单板调试时的 DA 输出结果,CPU 设置的幅度数据是从低到高,再从高到低的顺序,则产生的波形类似于正弦波。由图可见,输出波形的宽度并不是 0.5 ns,而是大约 120 μs 左右。这是因为在单独调试时,并没有符合要求的纳秒级触发源,只能利用 CPU 连续不停地发送设置数据。这样,导致了计数时钟也相当于 CPU 所产生的,而计数时钟直接决定了输出脉冲的宽度。经过软件仿真调试,测得 CPU 程序发送一个数据的工作周期大概为 100 μs,这基本上与 DA 输出的波形宽度相符合。图 7 是系统实际工作时产生的一个大约 8 ns 的矩形波,用双踪观察了两个通道的波形。由于元器件的差异,两个波形并不完全相同,而且波形的下降沿拟合的效果也不算太理想。因此,在系统的波形整合和放大电路,还需仔细地调整模拟电路的参数,以进一步满足其它的技术指标。

5 结 论

设计了一种基于多脉冲合成的高精度任意波形发生器。现场实际测量证明系统各部分工作正

常。虽然输出的波形不太理想,但基本能够满足项目的需求。本设计方案具有精度高、灵活、可变、可控等优点,能满足一些特殊场合的高质量、复杂信号的需求。但由于采用的芯片较多,使得系统的功率较大,所以在散热方面做了充足的设

计,降低了系统的通用性。随着半导体制造工艺的发展,如果 FPGA 的工作频率能达到 1 GHz,将会极大地缩小面积,减少系统功率,进一步地提高方案的适用性。

参 考 文 献:

[1] 杜华. 任意波形发生器及其应用 [J]. 国外电子测量技术, 2005,24(1):38-40.

[2] 赵茂林,邱世卉. 基于 CPCI 总线的任意波形发生器的研究 [J]. 成都电子机械高等专科学校学报, 2006,(1): 16-20.

[3] 贾静波,马铁军,张勇,等. 点焊焊接电流波形的实时液晶显示系统 [J]. 液晶与显示, 2007,22(6):769-773.

[4] 宋寅. 基于 FPGA 的 DDS 波形发生器的设计与实现 [J]. 合肥学院学报(自然科学版), 2007,17(2):63-66.

[5] 汤家华,王道德. 基于 FPGA 设计的采用 DDS 技术的任意波形发生器 [J]. 电子测量技术, 2007,30(4):129-131.

[6] 代芬,漆海霞,俞龙. 几种常用逻辑电平电路的特点及应用 [J]. 单片机与嵌入式系统应用, 2005,(5):5-7.

[7] 冯永茂. DVI-数字视频接口的应用研究 [D]. 中国科学院长春光学精密机械与物理研究所硕士论文,2004.

[8] 顾海洲,马双武. PCB 电磁兼容技术-设计实践 [M]. 北京:清华大学出版社. 2006.

[9] Eric Bogatin[美]. 信号完整性分析 [M]. 李玉山,李丽平,译.北京:电子工业出版社,2006.

Design of High Accuracy Arbitrary Waveform Generator

WANG Xu-zhi^{1, 2}, ZHANG Jing-lin¹, WAN Wang-gen¹

(1. School of Communication and Information Engineering, Shanghai 200072, China, E-mail: wangxzu@shu.edu.cn;
2. Key Laboratory of Special Fiber Optics and Optical Access Networks, Shanghai University, Shanghai 200072, China)

Abstract

Sometimes it may need some irregular waveforms which are used for synchronized signal in optical-fiber communications domain. This paper introduces a design method of arbitrary waveform generator which can gain more precision based on multi- pulses synthesis. Moreover it also elaborates the principle of hardware system and produces the concrete hardware architecture diagram. The system works under 1G clock and carries on digital-analog conversion by AD9735. Then these data that are transmitted by PC will become 16 narrow pulses which have 0.5 ns widths and different scopes. Thus they make up of the arbitrary waveform which works in practical situation. Through lots of real experiments, it is verified that this method has better flexibility and practicability.

Key words: AD9735; arbitrary waveform generator; high accuracy; multi-pulses synthesis; level transformation

作者简介:王旭智(1978—),男,吉林长春人,讲师,主要研究方向为嵌入式系统设计与视频图像处理。